

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-134208

(43)Date of publication of application : 20.05.1997

(51)Int.Cl.

G05B 15/02

G05B 9/03

G08C 15/00

(21)Application number : 07-288699

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.11.1995

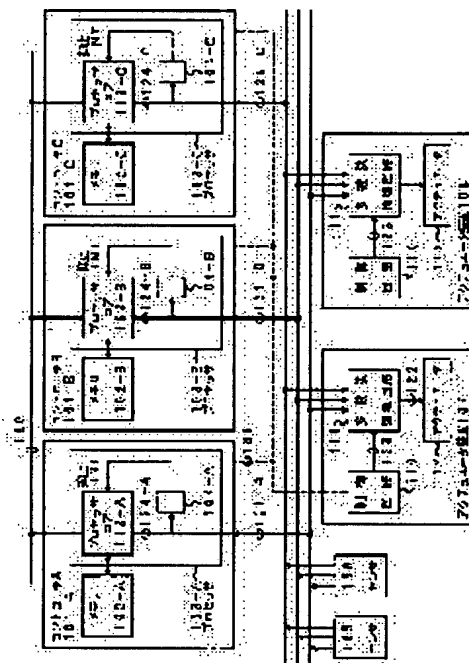
(72)Inventor : TANAKA SHIGEYA
KANEKAWA NOBUYASU
SATO YOSHIMICHI
HOTTA TAKASHI

(54) INFORMATION PROCESSING SYSTEM, CONTROLLER AND ACTUATOR CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To secure the high reliability and fast responsiveness in a simple hardware constitution by adding a receiving means and an actuator control means to every actuator controller.

SOLUTION: The controllers 101-A to 101-C receive the output signals from sensors 105 and 106 as the input data via the networks 121-A to 121-C. The processor cores 113-A to 113-C process the control information on an actuator device based on the processing programs stored in the memories 102A to 102C. Then the controllers 101-A to 101C carry out the actuator control instructions, and the cores 113-A to 113-C supply the control signals to the actuator devices 107 and 108 via the networks 121-A to 121-C. At the same time, the actuator control instruction decision circuits 104-A to 104-C monitor the signals 124-A to 124-C and perform the suppression interruptions when the control instructions are produced respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-134208

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 B 15/02		0360-3H	G 0 5 B 15/02	W
	9/03		9/03	
G 0 8 C 15/00			G 0 8 C 15/00	D

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21)出願番号 特願平7-288699

(22)出願日 平成7年(1995)11月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 成弥

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 金川 信康

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 佐藤 美道

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 富田 和子

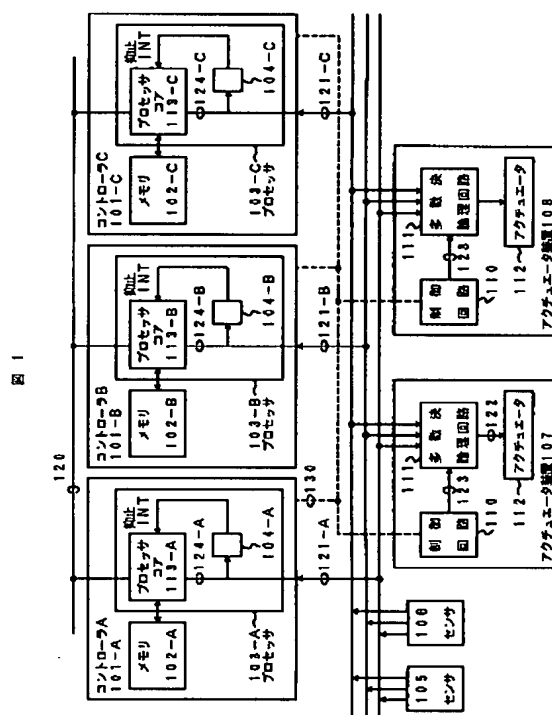
最終頁に続く

(54)【発明の名称】 情報処理システムおよびコントローラならびにアクチュエータ制御装置

(57)【要約】

【課題】制御ループを制御動作を行なう多重化システムを構築する際に、簡単なハードウェア構成で、高信頼性、高速応答性を有するシステムを実現すること。

【解決手段】コントローラは、各センサからのセンサ出力信号を受信し、アクチュエータ制御信号を出力するための通信手段と、センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、所定の処理手順として、処理動作を行なう処理手段と、アクチュエータ制御信号の出力動作を行なうと判断したとき、当該動作を抑制するように、抑止割込み制御を行なう制御手段とを備える。また、各アクチュエータ制御装置は、各コントローラの処理結果を受信する受信手段と、いずれかの処理結果を、アクチュエータ制御信号として出力するアクチュエータ制御手段とを備える。



【特許請求の範囲】

【請求項1】所定の処理手順にしたがった動作を行なう、複数のコントローラと、1以上の、センサ出力信号を出力するセンサと、アクチュエータ動作をアクチュエータ制御信号にしたがって制御するアクチュエータ制御装置と、を有するシステムであって、

各コントローラは、

各センサからのセンサ出力信号を受信し、対応するアクチュエータ制御装置に対してアクチュエータ制御信号を出力するための通信手段と、センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、前記所定の処理手順として、処理動作を行なう処理手段と、該処理手段が、アクチュエータ制御信号の出力動作を行なうと判断したとき、当該動作をキャンセル（抑止）するように、抑止割込み制御を行なう制御手段とを備え、さらに、

各アクチュエータ制御装置は、

各コントローラの処理結果を受信する受信手段と、受信した各コントローラを参照して、予め定めた規則にしたがって、いずれかの処理結果を、アクチュエータ制御信号として出力するアクチュエータ制御手段とを備えた、情報処理システム。

【請求項2】請求項1において、前記コントローラが有する制御手段は、さらに、一旦抑止割込み制御を行なった後、抑止された、アクチュエータ制御信号の出力動作を規定する処理に対しては、抑止割込み制御を行なわない機能を有することを特徴とする、情報処理システム。

【請求項3】請求項1において、前記コントローラが有する制御手段は、さらに、一旦抑止割込み制御を行なった後、予め定めた所定時間が経過するまでは、抑止割込み制御を行なわない機能を有することを特徴とする、情報処理システム。

【請求項4】請求項1において、前記コントローラが有する処理手段は、他のコントローラの処理結果を獲得し、さらに、自コントローラを含め、存在する総てのコントローラの組み合わせを想定したとき、各組み合わせに対応するコントローラ間での処理結果を比較する機能を有する、ことを特徴とする情報処理システム。

【請求項5】請求項4において、前記アクチュエータ制御装置は、

存在する総てのコントローラの組み合わせを想定して求められた、各組み合わせに対応するコントローラ間での処理結果の比較結果を、第1の予め定めた規則に従って格納しておく格納手段を備え、さらに、前記アクチュエータ制御手段は、該格納手段の格納内容を参照し、第2の予め定めた規則に従って、いずれかのコントローラの処理結果を選択して、アクチュエータに与える機能を有する、情報処理システム。

【請求項6】請求項4および5のいずれかにおいて、比

較対象となる処理結果は、割込みからの回復動作を行なうための退避アドレス、退避ステータス情報、および、退避レジスタ情報の少なくとも1以上の情報を含むことを特徴とする多重化装置。

【請求項7】所定の処理手順にしたがった動作を行なうコントローラであって、

外部のセンサからのセンサ出力信号を受信し、外部のアクチュエータに対してアクチュエータ制御信号を出力するための通信手段と、

10 センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、前記所定の処理手順として、処理動作を行なう処理手段と、該処理手段が行なう動作を割込み制御する制御手段と、を備え、

該制御手段は、前記処理手段が、アクチュエータ制御信号の出力動作を行なうと判断したとき、当該動作をキャンセル（抑止）するように、抑止割込み制御を行なう、コントローラ。

20 【請求項8】請求項7において、前記制御手段は、さらに、一旦抑止割込み制御を行なった後、抑止された、アクチュエータ制御信号の出力動作を規定する処理に対しては、抑止割込み制御を行なわない機能を有することを特徴とする、コントローラ。

【請求項9】請求項7において、前記制御手段は、さらに、

一旦抑止割込み制御を行なった後、予め定めた所定時間が経過するまでは、抑止割込み制御を行なわない機能を有することを特徴とする、コントローラ。

30 【請求項10】複数のコントローラの各々が処理した処理結果に対応するアクチュエータ制御信号を受信し、いずれの受信信号をアクチュエータに与えるアクチュエータ制御装置において、

1つのコントローラに注目して、他のコントローラの処理結果を獲得し、さらに、存在する総てのコントローラの組み合わせを想定したとき、各組み合わせに対応するコントローラ間での処理結果の比較し、比較結果を、第1の予め定めた規則に従って格納しておく格納手段と、該格納手段の格納内容を参照し、第2の予め定めた規則に従って、いずれかのコントローラの処理結果を選択して、アクチュエータに与える制御手段と、を設けたアクチュエータ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、センサ、アクチュエータを含む制御ループに対して制御動作を行なうシステムに係り、特に、多重化したコントローラを使用して処理動作を行なう構成を想定し、ハードウェア規模の増加を抑えつつも、信頼性の高い制御動作を行なうための技術に関する。

【0002】

【従来の技術】一般に、コントローラによる情報処理とは、センサからの出力信号を入力情報とし、この入力情報に対して所定の処理を行ない、さらに、処理結果にしたがって、アクチュエータにアクチュエータ制御信号を与えることによって、アクチュエータ制御を行うものである。

【0003】図8は、コントローラに、このような情報処理を行なわせるためのシステム構成の一形態を示した図面である。

【0004】このシステムは、コントローラ801と、センサ805、806と、アクチュエータ装置807、808とを、有して構成されている。また、コントローラ801は、プログラム格納等を行なうためのメモリ802と、予め格納されたプログラムにしたがった動作を行なうプロセッサ803とを備えている。

【0005】さらに、アクチュエータ装置807、808は、夫々、アクチュエータ812を少なくとも備えている。そして、各センサの出力信号は、コントローラに入力され、プロセッサ803からは、アクチュエータに対して、アクチュエータ制御信号を出力可能に、ネットワーク821が構成されている。

【0006】図9に、コントローラ801の動作を説明するための説明図を示す。図9では、プロセッサの実行する処理動作を、1つのタスクとして表現している。なお、「t」で示すように時間軸をとっており、図面右側に行くほど時間が経過することを意味する。図を参照して分かるように、何らかのイベント起動をトリガとして、タスクの実行が開始され、まず、コントローラ801は、「センサ情報入力」即ち、センサ805、806のセンサ出力信号を、ネットワーク821を介して、受信する。次に、メモリ902に予め内蔵されているプログラムに従った処理を行ない（「処理」）、処理結果を参照し、ネットワーク821を介して、アクチュエータ812に、アクチュエータ制御信号を出力する（「アクチュエータ制御」）。このように、図9に示すタスクは、一般的な、コントローラによる情報処理を示すものである。このような処理は、全てソフトウェアで記述されており、例えば、アクチュエータの動作を制御する際にも、コントローラ内で、アクチュエータの動作制御を行なうための命令であるアクチュエータ制御命令を実行することによって実現されている。

【0007】さて、図8にて示したシステム構成、特に、コントローラの処理動作の信頼性を向上するためには、通常、コントローラの多重化が行なわれ、このような多重化システムの構成例を図10に示す。

【0008】図10に示した多重化システムでは、コントローラ801を3台設けた構成、即ち、801-A、801-B、801-Cの3台の、同一構成のコントローラを設けて3重化構成としている。なお、各コントローラに対応するメモリ、プロセッサの符号に、サフィッ

クス「A」、「B」、「C」を付けて区別している。

【0009】また、ネットワーク821も、コントローラの多重化に対応して、3系統用意し、夫々、821-A、821-B、821-Cとし、各センサ805、806のセンサ出力信号が、各ネットワーク821（A、B、C）上に送られるようになっている。

【0010】また、各アクチュエータ装置は、制御回路1001、多数決論理回路1002、および、アクチュエータ812を備えている。従来技術における制御回路は、各プロセッサと、ネットワーク830を介して通信可能な手段であり、各プロセッサとの情報通信におけるハンドシェイク、多数決論理回路1002の起動機能等を有する。

【0011】多数決論理回路1002は、3つのプロセッサから送られてきたアクチュエータ制御信号のうちから、多数決論理にしたがって選択した、アクチュエータ制御信号を、アクチュエータ812に与えることによって、アクチュエータの動作の制御を行なう。即ち、アクチュエータ812の直前で、多数決論理にしたがって3つの信号を1つにして出力し、アクチュエータの動作を制御する。なお、多数決論理は、予め定めておくアクチュエータ制御信号の選択規則の代表例にすぎない。

【0012】さて、各コントローラは、予め格納されている同一プログラムによる処理を行ない、その処理結果を、他のコントローラにおける処理結果と比較する方式を採用しており、ある1つのコントローラの処理結果が、他の残りのコントローラによる処理結果と異なる場合には、前記ある1つのコントローラに何らかの異常が発生したものと判断して、他の残りのコントローラによる処理結果を出力して、アクチュエータの動作を制御することによって、システムの信頼性を高めているという特徴を有している。

【0013】ところで、このようにして、システムの信頼性を高めるための実現方法としては、いわゆる「疎結合の多重化方式」が提案されているが、疎結合の多重化方式は、ある独立のクロックで動作するコントローラと、他の独立のクロックで動作するコントローラとを多重化した場合における、コントローラ間の処理結果の比較を行なうための同期方法である。そして、疎結合の多重化方式としては、ソフトウェアでの同期方法と、ハードウェアでの同期方法が提案されている。

【0014】ソフトウェアでの同期方法として、例えば、図11のプログラム例と、図12の3重化システムの動作のタイムチャートとを用いて説明する。

【0015】図11と、図9とを比較参照して分かるように、このプログラムには、3重化装置に対する、同期用システムコールが追加されている点の特徴となっている。

【0016】そして、図12に示すように、3つのコントローラは、時間軸に従って、独立に、同期用システム

コールの存在位置まで、記述されたプログラムにしたがった処理を行ない、同期用システムコールの存在位置まで処理を進め、同期用システムコールが発生すると、総てのコントローラに処理が完了するまで、「待ち」状態になり、総てのコントローラが処理を完了した後、処理結果を含む情報の、比較処理が実行される。その後、この比較処理による比較結果を参照して、多数決処理が行なわれ、さらに、アクチュエータ制御が行なわれる。

【0017】また、ハードウェアでの同期方法としては、特開平1-258057号公報「複数のプロセッサの同期方法及び装置」に開示されているように、外部割込みを利用して同期化する手法がある。

【0018】また、一般的に、プロセッサの割込み処理には、「完了割込み」と「抑止割込み」がある。「完了割込み」とは、割込みが発生しても、実行中の命令の完了を待って、次の命令との間で割り込み処理を行なうで手法であり、次の命令に対するアドレスを退避しておき、割込み完了後、退避したアドレスで示される、次の命令から実行する手法である。即ち、割り込みによる中断点から、命令実行を再開するものである。なお、上記公知例の外部割込みは、この完了型割込みを利用したものである。

【0019】一方、「抑止割込み」とは、割込みが発生した場合には、実行中の命令の実行を抑止（キャンセル）して割り込む手法であり、実行中の命令のアドレスを退避し、割込み完了後、実行中だった命令を、始めから再実行する手法である。即ち、割り込みによる中断された命令は、中断点からではなく、当該命令の開始点から、再実行される。このような、抑止割込みは、例えば、メモリ管理ユニットを備えるプロセッサによる、アドレス変換バッファ（TLB）のミスヒット時や、メモリ保護違反等の処理において使用されている。

【0020】

【発明が解決しようとする課題】上述したように、「疎結合の多重化方式」、特に、ソフトウェアでの同期方法を使用した場合には、プログラムの互換性という点で問題があった。

【0021】図9と図11とで示された、タスク構成を参照すれば分かるように、一方のタスク中には同期用システムコールのためのプログラムが存在しないが、他方のタスク中には、同期用システムコールのためのプログラムが存在し、これ以外の点は全く同じプログラムであっても、通常系（1系）で用いられていたプログラムを、多重化システムに適用するためには、プログラムの移植工数が大きなものになってしまう。このような移植は、単に、同期用システムコールのためのプログラムを追加するのみにとどまらず、他のプログラムとの整合性をとるために、プログラミング間違いも招きかねない。

【0022】また、ハードウェアでの同期方法は、各コントローラが備えるプロセッサに対する、外部割込みを

利用したものである、一般に制御が複雑であり、ハードウェアの規模も大きくなってしまふ。リアルタイム制御分野での高速応答を考慮したとき、外部割込みごとに同期化する、公知例の方式によれば、オーバーヘッドが大きけ、リアルタイムでの制御動作を保証できない。

【0023】そこで、本発明の目的は、センサ、アクチュエータを含む制御ループに対して制御動作を行なう多重化システムを構築する際に、使用するプログラム互換性を考慮し、簡単なハードウェア構成で、高信頼性、高速応答性を有するシステムを実現することにある。

【0024】

【課題を解決するための手段】上記課題を解決し、本発明の目的を達成するには、以下の手段がある。

【0025】即ち、所定の処理手順にしたがった動作を行なう、複数のコントローラと、1以上の、センサ出力信号を出力するセンサと、アクチュエータ動作をアクチュエータ制御信号にしたがって制御するアクチュエータ制御装置と、を有するシステムでる。

【0026】そして、各コントローラは、各センサからのセンサ出力信号を受信し、対応するアクチュエータ制御装置に対してアクチュエータ制御信号を出力するための通信手段と、センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、前記所定の処理手順として、処理動作を行なう処理手段と、該処理手段が、アクチュエータ制御信号の出力動作を行なうと判断したとき、当該動作をキャンセル（抑止）するように、抑止割込み制御を行なう制御手段とを備え、また、各アクチュエータ制御装置は、各コントローラの処理結果を受信する受信手段と、受信した各コントローラを参照して、予め定めた規則に従って、いずれかの処理結果を、アクチュエータ制御信号として出力するアクチュエータ制御手段とを備えたシステムである。

【0027】なお、前記コントローラが有する制御手段は、さらに、一旦抑止割込み制御を行なった後、抑止された、アクチュエータ制御信号の出力動作を規定する処理に対しては、抑止割込み制御を行なわない機能を有する。

【0028】また、本発明の他の態様として、以下に示すコントローラも考えられる。

【0029】即ち、所定の処理手順にしたがった動作を行なうコントローラであって、外部のセンサからのセンサ出力信号を受信し、外部のアクチュエータに対してアクチュエータ制御信号を出力するための通信手段と、センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、前記所定の処理手順として、処理動作を行なう処理手段と、該処理手段が行なう動作を割込み制御する制御手段と、を備える。そして、該制御手段は、前記処理手段が、アクチュエータ制御信号の出力動作を行

なうと判断したとき、当該動作をキャンセル（抑止）するように、抑止割込み制御を行なう、コントローラである。

【0030】さらに、本発明の他の態様として、以下に示すアクチュエータ制御装置も考えられる。

【0031】即ち、複数のコントローラの各々が処理した処理結果に対応するアクチュエータ制御信号を受信し、いずれの受信信号をアクチュエータに与えるアクチュエータ制御装置において、1つのコントローラに注目して、他のコントローラの処理結果を獲得し、さらに、存在する総てのコントローラの組み合わせを想定したとき、各組み合わせに対応するコントローラ間での処理結果の比較し、比較結果を、第1の予め定めた規則に従って格納しておく格納手段と、該格納手段の格納内容を参照し、第2の予め定めた規則に従って、いずれかのコントローラの処理結果を選択して、アクチュエータに与える制御手段と、を設けたアクチュエータ制御装置である。

【0032】本システムの動作は、以下のようになる。

【0033】各コントローラは、通信手段によって、各センサからのセンサ出力信号を受信し、対応するアクチュエータ制御装置に対してアクチュエータ制御信号を出力する。処理手段は、センサ出力信号の受信、該受信信号に基づいた所定処理、および、該所定処理の結果であるアクチュエータ制御信号の出力を、前記所定の処理手順として、処理動作を行なう。そして、制御手段は、この処理手段が、アクチュエータ制御信号の出力動作を行なうと判断したとき、当該動作をキャンセル（抑止）するように、抑止割込み制御を行なう。

【0034】一方、各アクチュエータ制御装置は、受信手段によって、各コントローラの処理結果を受信する。そして、アクチュエータ制御手段は、受信した各コントローラを参照して、予め定めた規則にしたがって、いずれかの処理結果を、アクチュエータ制御信号として出力する。

【0035】なお、前記コントローラの制御手段は、一旦抑止割込み制御を行なった後、抑止された、アクチュエータ制御信号の出力動作を規定する処理に対しては、抑止割込み制御を行なわない。

【0036】これら一連の動作により、アクチュエータ制御動作を行なう直前までの処理を、多重化システムで行ない、高信頼性でアクチュエータを制御できる。

【0037】

【発明の実施の形態】以下、本発明の実施形態を、図面を参照しつつ説明する。

【0038】図1は、同一のコントローラを3台設けて構成した、3重化システム（3重系システム）の構成例を示している。

【0039】本システムは、コントローラ101-A、B、Cと、他システムとの間で情報通信を行なうための

ネットワーク120と、センサ105、センサ106、アクチュエータ装置107、108、3重系に対応する通信媒体であるネットワーク121-A、B、Cと、を有して構成されている。

【0040】各コントローラは、予め定めたプログラム、演算結果等を格納しておくためのメモリ102と、タスクの実行等の、予め定められた処理を行なうプロセッサ103とを有し、さらに、プロセッサ103は、所定の手順で処理動作を行なうプロセッサコア113と、アクチュエータ制御信号を与える命令を検出して、当該命令の抑止割込みを行なうアクチュエータ制御命令判定器104を備えている。

【0041】また、各アクチュエータ装置は、3つのコントローラのいずれか出力が選択されるようにする多数決論理回路111と、ネットワーク130を介して受信した、各コントローラの情報処理結果等を参照して、多数決論理回路111を駆動制御する制御回路110と、アクチュエータ制御信号が与えられると駆動するアクチュエータ112と、を有して構成される。

【0042】本システムは、各コントローラが独自のクロックで独立に動作する、いわゆる疎結合構成であり、各コントローラは、同一のプログラムを実行する。そして、各コントローラの実行結果は、他のコントローラの実行結果と比較され、1つのコントローラの実行結果が、残りの複数のコントローラの実行結果と異なる場合には、何らかの異常があったものと判断して、残りの複数のコントローラの実行結果を用いて、アクチュエータ制御を行なうようにした、高信頼性を有する多重化システムである。

【0043】なお、各コントローラは、同一構成であり、センサ105、センサ106からのセンサ出力信号を受信し、受信信号を情報処理して、アクチュエータ制御信号を、アクチュエータ装置に与える動作を行なうが、本発明は、アクチュエータ制御信号が生成され検出された後の、当該信号のアクチュエータ装置への与え方に特徴がある。

【0044】以下、図2を参照して、システムの動作を説明する。各コントローラ101-A、B、Cは、センサ105、106から出力されるセンサ出力信号を、ネットワーク121-A、B、Cの夫々を介して受信し、入力データとして取り込む。

【0045】そして、プロセッサコア113-A、B、Cは、入力データに基づいて、アクチュエータ装置を制御するための情報処理を、メモリ102-A、B、Cに予め格納されている処理プログラムに従って実行する。

【0046】なお、図1には図示しないが、各コントローラは、センサ出力信号やアクチュエータ制御信号を送受信するためのインターフェイス回路が設けられている。

【0047】さて、情報処理が行なわれた後、各コント

ローラは、アクチュエータ制御信号をアクチュエータ装置側に出力するため「アクチュエータ制御命令」を実行しようとする。なお、アクチュエータ制御命令は、プログラム形式で構成される。

【0048】アクチュエータ制御命令が実行されると、プロセッサコア113が、ネットワーク121を介して、アクチュエータ装置107、108に、アクチュエータ制御信号を与えるように動作する。この時、アクチュエータ制御命令判定回路104-A、B、Cは、常に、信号124-A、B、Cを監視し、アクチュエータ制御信号を与える命令である、アクチュエータ制御命令が発行されたか否かを調べ、発行されていた場合、抑止

【0049】図2は、このような状態を説明するため、横軸右方向に時間軸をとり、各コントローラA、B、Cが、センサ出力信号の入力（センサ入力）、情報処理（処理）を行なった後、アクチュエータ制御命令が発行された（アクチュエータ制御）時点で、抑止割込み（抑止INT）が行なわれる様子を示している。

【0050】図示するように、この例では、コントローラAの処理が最も早く完了し、アクチュエータ制御命令の発行が検出されると抑止割込みが行なわれ、待ち状態に入る。続いて、コントローラBが、アクチュエータ制御命令の発行を検出するが、これも、抑止割込みが行なわれ待ち状態に入る。さらに、コントローラCが、アクチュエータ制御命令の発行を検出し、抑止割込みが行なわれて割込み処理に入った時点で、コントローラA、B、Cの同期がとれることになる。

【0051】なお、抑止割込みが一旦行なわれて、処理結果の比較を行なえるように同期化された時点で、多数決処理が行なわれる。図示するように、いずれのコントローラからも、アクチュエータ制御信号が出力されるが、実際には、多数決処理の処理結果を参照して、3つのアクチュエータ制御信号のうちの、いずれかを選択して、アクチュエータに与えるように、ハードウェア構成されているが、このような構成については後に述べる。

【0052】図3に、アクチュエータ制御命令判定回路の構成図を示す。

【0053】図中左側の各信号線は、信号線124-Aを構成しており、「データ」は、データ用線、「アドレス」は、アドレス用線、「REQ」は、要求信号を出力するための要求信号線、「R/W」は、リードまたはライトのいずれかのステータスを定めるためのリードライト信号線である。

【0054】アクチュエータ制御命令判定回路104-Aは、アドレスレジスタ301と、アドレス比較器302と、マスキレジスタ304と、AND論理回路303、305とを有して構成されている。

【0055】アドレスレジスタ301には、アクチュエータに対応するアドレスを、予め格納しておく。そし

て、アドレス比較器302は、アドレスレジスタ301に格納されているアドレスと、アドレス用線124で指定されるアドレスとを、常に、比較する。両アドレスが一致するとき、アドレス比較器302は、「1」を出力する。

【0056】そして、要求信号線に要求信号（「1」）が出力され、リードライト信号線にライトステータスを定める信号が出力され、さらに、アドレス比較器302が「1」を出力した場合、アクチュエータ制御命令が発行されたと判定され、AND論理回路303は、「1」を出力する。このとき、マスキレジスタ304に「0」がセットされていれば、AND論理回路305から「1」が出力され、プロセッサコア113-Aは、抑止割込み動作を行なう。すなわち、当該アクチュエータ制御命令をキャンセルする。

【0057】その後、一旦抑止割込み終了後に、アクチュエータ制御命令が再実行された時に、アクチュエータ制御命令判定回路が反応しないように、即ち、再度、同一のアクチュエータ制御命令に対して抑止割込み動作を行なわないように、マスキレジスタ304の値に「1」を設定する。このような、マスキレジスタ304の書き換え処理は、コントローラにインストールされたOSが自動的に行なうようにしておけばよい。このようなOSによるマスキレジスタ304の書き換え処理を行なうのは、再度、同一のアクチュエータ制御命令が抑止され、当該命令が実行されない無限ループの発生を防止するためである。したがって、あるアクチュエータ制御命令が、一旦抑止されたのち、即座にマスキレジスタ304の書き換え処理を行ない、次に命令を実行すべきときには、抑止を行なわないようにしておく。

【0058】このように、マスキレジスタ304の反転信号とAND論理回路303の出力とを、AND論理回路305で論理演算して、その出力結果を、抑止割込み起動信号としている。プロセッサ内部でアクチュエータ制御命令が発行されたことを検出し、かつ、マスキレジスタ304の内容が「0」のとき、抑止割込み（抑止INT）が行なわれ、当該命令の実行を抑止し、その命令のアドレス、ステータス情報等を保持して、割込み処理ルーチンに処理を移し、コントローラ間での同期をとる動作が行なわれる。

【0059】結局、アクチュエータ制御命令は、プロセッサ内で、その実行が開始されるものの、途中でその実行が抑止され、割込み処理が行なわれる。この機能は公知例として述べた、完了割込みに比べ、本システムのような多重化装置には、好適である。なぜならば、本発明では、コントローラの情報処理が完了した後、これからまさにアクチュエータ制御を行なう直前の状態で、コントローラ間の同期をとり、演算結果の比較等によるコントローラ出力の選択を行なう処理を行なうことになるので、この同期タイミングは、コントローラの信頼性向上

のために、何らかの異常を検出するためのタイミングとして最適だからである。

【0060】一般に、同期処理は、各コントローラの処理結果を、他のコントローラの処理結果と比較しなければならず、いわゆる疎結合による多重化を実現する上で必須な処理であり、OS上での同期処理として、共有変数を使用した方法等が知られており、この方法では、各コントローラは、割込み処理で「1」にセットする共有変数を有し、各コントローラは、他コントローラの共有変数が全て「1」になるまで、繰り返して同期動作を行なうビジーウエイト法等がある。

【0061】このように、各種の同期処理方法が提案されているが、本発明は、同期をとる際に、特定の命令が発行されたことを検出して、抑止割込み制御を行ない、コントローラ間の同期をとる点に特徴があり、OS上の同期処理方法そのものは、従来から多くの方法が提案されている。

【0062】次に、図4～7を参照して、各コントローラ間での同期がとれた後、各コントローラのメモリに格納されている処理結果を、他のコントローラのメモリに格納されている処理結果と比較処理する、多重化システムの動作を説明する。

【0063】以下、動作を説明する。

【0064】まず、図4に示す通り、各コントローラは、他コントローラのメモリの内容をコピーする。コピーするメモリの内容は、各コントローラの処理結果を含む情報、例えば、アクチュエータ制御のための出力情報、処理の中間結果、センサからの入力情報、割込みからの回復のための退避アドレス、退避ステータス情報、退避レジスタ等を挙げられる。

【0065】メモリの内容を総てコピーするのではなく、予め指定したメモリエリアに格納したもののみをコピーするようにしてもよいし、また、コピーする情報としては、比較処理を行なうと、コントローラの何らかの異常が、即座に分かる情報を含めておくのが好ましい。

【0066】さて、図4に示す動作タイムチャート（時間軸を、右方向に進むに従って時間が経過するように設定する）では、例えば、コントローラAは、抑止割込みされた後、コントローラBのメモリー内容のコピー（Bコピー）を行ない、さらに、コントローラCのメモリー内容のコピー（Cコピー）を行なった後、ABC比較を行なうことを示している。他のコントローラについても同様である。そして、各コントローラからアクチュエータ制御信号が出力されるようになっているが、実際には、多数決論理等の規則を使用して、いずれか1つのアクチュエータ制御信号が選択されて、アクチュエータに与えられる。なお、図中のABC比較は、各コントローラの処理結果を比較することを意味する。

【0067】さて、図4に示す（ア）と（イ）の夫々の時点での、各コントローラのメモリの記憶内容を、図5

に示す。

【0068】時刻（ア）では、各コントローラのメモリには、各コントローラ自身による処理結果のみが格納されており、時刻（イ）では、他コントローラのメモリ内容のコピーにより、総てのコントローラの処理結果が格納されていることがわかる。

【0069】例えば、コントローラBでは、時刻（ア）で、自コントローラの出力のみが格納されており、時刻（イ）では、コントローラAのメモリの内容（コピー）、コントローラCのメモリの内容（コピー）も、格納されている。

【0070】そして、各コントローラは、独立して、自メモリの中の、3種類のコントローラのメモリの内容を比較する。比較結果は、後に説明する図7に示す、制御回路110が備える記憶部に格納される。

【0071】さて、各コントローラが行なう比較処理は、図6に示すように、コントローラA-B間、B-C間、C-A間で行なわれ、比較処理結果は、図6に示すように、「1」を「一致」、「0」を「不一致」とした規則で、格納される。

【0072】図6は、このようにして格納された比較結果が、取りうる組み合わせを示している。この「0」「1」の組合せ態様によって、コントローラの異常の存在や、異常がある場合、どのコントローラが異常であるのかを判断できる。

【0073】例えば、「状態」に記載されている「全一致」は、総てのコントローラの処理が正常に行なわれていることを示す。さらに、全一致ではないが、一致、不一致の発生パターンによって、故障がおきているコントローラを特定することができた場合（「A、B、C系障害」）は、故障コントローラ以外の、コントローラからの出力情報を選択するようにして、システムの信頼性を高めることができる。

【0074】一方「異常」は、一致、不一致の発生パターンでは、いずれの系が故障状態にあるのかを特定できなかったことを示し、この場合には、多重化システムは、システムダウンとなる。このようなシステムダウンをオペレータに警告するように、システム内のいずれかの場所に、警告用の表示装置を設けておけば良い。

【0075】さて、各コントローラの比較結果を参照して、いずれかのコントローラの出力を選択するための、アクチュエータ装置について、図7を参照して説明する。

【0076】図7は、制御回路110と、多数決論理回路111とを示している。

【0077】制御回路は、比較結果格納部72、73、74と、多数決制御部とを備えている。比較結果格納部は、各コントローラに対応して設けられている。

【0078】例えば、比較結果格納部72は、コントローラA101が、比較処理を行なった結果を格納する手

段であり、格納する情報は、図6にて示したように、一致する場合は「1」、不一致の場合は「0」である。例えば、AA-Bは、コントローラAが、コントローラAとコントローラBの内容を比較処理した結果を格納するエリアであり、両コントローラの処理内容が一致していれば「1」、不一致であれば「0」を格納する。他の比較結果格納部73、74も同様な機能を有する。

【0079】そして、多数決制御部は、各比較結果格納部の格納内容を調べ、図6に示した状態に関する情報を検出し、予め定めた規則に従って、多数決論理回路111に駆動信号123を出力する。そして、多数決論理回路111は、駆動信号123を受信すると、いずれかのコントローラからのアクチュエータ制御信号を選択するように、選択スイッチを切りか換え制御する。例えば、コントローラからのアクチュエータ制御信号を選択する場合、対応するネットワーク121-Aを選択して、コントローラからのアクチュエータ制御信号122を、図示しないアクチュエータに与えて、アクチュエータの動作を制御する。

【0080】さて、多数決制御部が採用する、予め定めた規則としては、以下のようなものが考えられる。

【0081】第1に、総てのコントローラが正常であると判断された場合には、いずれのネットワークを選択しても良いとする。

【0082】第2に、1つのコントローラが異常であると判断された場合には、残りの正常なコントローラに対する、いずれかのネットワークを選択しても良いとする。

【0083】第3に、2つのコントローラが異常であると判断された場合には、残りの1つの正常なコントローラに対するネットワークを選択する。このような規則が考えられるが、これらは一例にすぎない。また、このような規則にしたがって駆動信号123を生成する手段は、各種の論理演算ゲートを用いて実現可能である。

【0084】このようなアクチュエータ装置の動作により、最も信頼性の高いアクチュエータ制御信号がアクチュエータに与えられる。

【0085】そして、多重化動作の最後に、図3に示すマスクレジスタ304に「1」を格納する。これらの処理をOSに行なわせて、各コントローラの割込み処理を終了させ、各コントローラのタスクの処理を再開する。これは、前出したように、抑止されたアクチュエータ制御命令から実行を開始させるためである。

【0086】以上の動作によって、アクチュエータは、最も信頼性の高いコントローラからの制御信号によって動作制御が行なわれる。

【0087】次に、図13～16を参照して、他の実施形態を示す。

【0088】図13に、他の実施形態を示す。本形態の特徴は、抑止割込みの要因を、複数とする点にある。プ

ロセッサ1303は、アクチュエータ制御命令判定器104から出力される、アクチュエータ制御命令検出要因により生成される信号と、他の要因による信号との論理和演算を行なう論理和回路1301と、レジスタ1302と、を新たに備えている。そして、この論理和回路1301の出力信号が、抑止割込み信号（抑止INT）として、プロセッサコア113に与えられる。なお、アクチュエータ制御命令判定器104から出力される、アクチュエータ制御命令検出要因により生成される信号によって、レジスタ1302に「1」がセットされることにより、プロセッサコアは、割込み要因が、アクチュエータ制御命令の検出によるものであることを認識し、対応する処理を行なうようにしておけば良い。なお、本実施形態によれば、複数の要因による抑止割込み動作を可能にするシステムに、本発明を適用できることになる。

【0089】次に、図14に、さらに他の実施形態を示す。本実施形態は、2種類のアクチュエータ制御命令判定器を、新たに備えたプロセッサ1403を使用したものである。具体的には、第1、第2のアクチュエータ制御命令判定器1401、1402を設ける点に特徴がある。本実施形態は、アクチュエータ制御命令の書き込みアドレスが、不連続に存在する場合、即ち、複数のアクチュエータに対する制御動作を行なうシステムにおいて、システムの簡素化、コスト低減等の効果がある。なお、アクチュエータ制御命令判定器の数は、複数個であれば良く、2個に限られない。

【0090】次に、図15に他の実施形態を示す。本実施形態では、抑止割込みをマスクするINTマスクレジスタ1502と、該INTマスクレジスタを所定時間後にクリアするタイマ1501とを、新たに備えた、プロセッサ1503を使用している。本実施形態では、抑止割込み処理後、INTマスクレジスタに1をセットし、タスク再開後、タイマ1501の動作を開始することにより、再開後、所定時間、抑止割込みがマスクされるように、即ち、所定時間の抑止割込みを禁止するように動作し、同期化動作、メモリ内容の比較処理等を、所定時間行なわないようにする点に特徴がある。

【0091】図16は、本実施形態における、各コントローラの動作を説明する図である。

【0092】図16に示すように、リアルタイム処理を行なうシステムにおいては、センサの出力信号を入力し、コントローラが処理を行なうと、複数のアクチュエータ（第1、第2、第3のアクチュエータ）を制御する場合が多いが、各アクチュエータに対する抑止割込みを、各アクチュエータに対するアクチュエータ制御命令の検出のたびに行なうことはせずに、最初の1回目のアクチュエータ制御命令の検出によって、同期化動作、メモリ内容の比較処理等を行なうのみで、同期化動作、メモリ内容の比較処理等を複数回行なわなくても、高い信頼性を有するシステムを構築できる。

【0093】

【発明の効果】以上のように、本発明によれば、ハードウェアによる同期を行なう手段であるため、通常系で使用されている処理プログラムを、多重化システム用に、移植する必要がない、即ち、処理プログラムの変更は、不要であり、プログラム互換性を維持したまま、システム構築することが可能となる。

【0094】また、リアルタイム制御分野、特に、センサ、アクチュエータを少なくとも含んで構成された制御ループに対する制御を、簡単なハードウェアで行なえ、その制御動作は、高速応答性、高信頼性を有する。

【0095】具体的には、アクチュエータ制御を行なう処理を検出したとき、抑止割込み制御を行ない、コントローラでの処理が完了しまさに、アクチュエータ制御を実行する直前状態で、同期を行ないメモリの内容と比較するので、信頼性の高いアクチュエータ制御を行なえる。さらに、必要最小限の同期を行なう構成になっているため、処理オーバーヘッドが小さく、制御応答性に富む多重化システムを実現できる。

【図面の簡単な説明】

【図1】3重化システムの構成図である。

【図2】各コントローラの動作を説明するための説明図である。

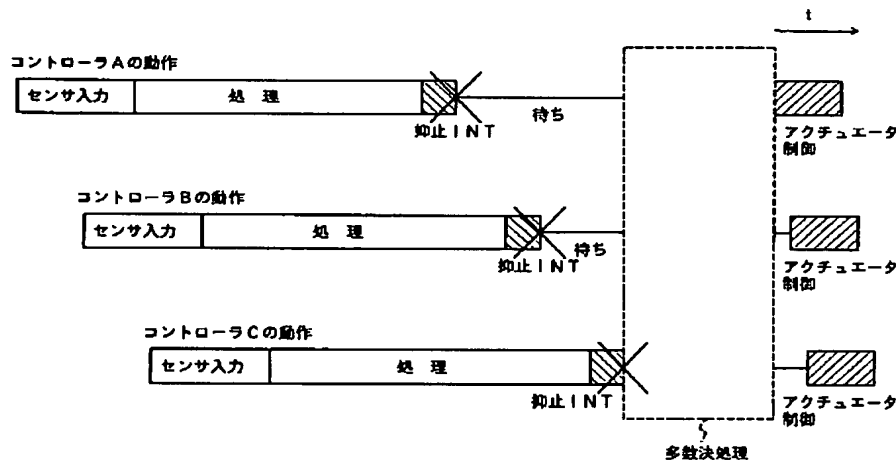
【図3】アクチュエータ制御命令判定回路の構成図である。

【図4】同期後の各コントローラの動作を説明するための説明図である。

*

【図2】

図 2



*【図5】各コントローラのメモリの内容の説明図である。

【図6】3重系の状態を示す説明図である。

【図7】多数決論理回路の構成図である。

【図8】従来のシステム（1重）の構成図である。

【図9】従来のシステムにおける、コントローラの動作を説明するための説明図である。

【図10】従来の3重化システムの構成図である。

【図11】ソフトウェア同期型による、1タスクの動作を示す説明図である。

【図12】ソフトウェア同期型による、各コントローラの動作を説明するための説明図である。

【図13】他の実施形態にかかるコントローラの構成図である。

【図14】他の実施形態にかかるコントローラの構成図である。

【図15】他の実施形態にかかるコントローラの構成図である。

【図16】他の実施形態にかかるコントローラの動作を説明するための説明図である。

【符号の説明】

101…コントローラ、104…アクチュエータ制御命令判定器、105…センサ、106…センサ、107…アクチュエータ装置、108…アクチュエータ装置、110…制御回路、111…多数決論理回路、112…アクチュエータ、120…ネットワーク、121…ネットワーク、103…プロセッサ、113…プロセッサコア

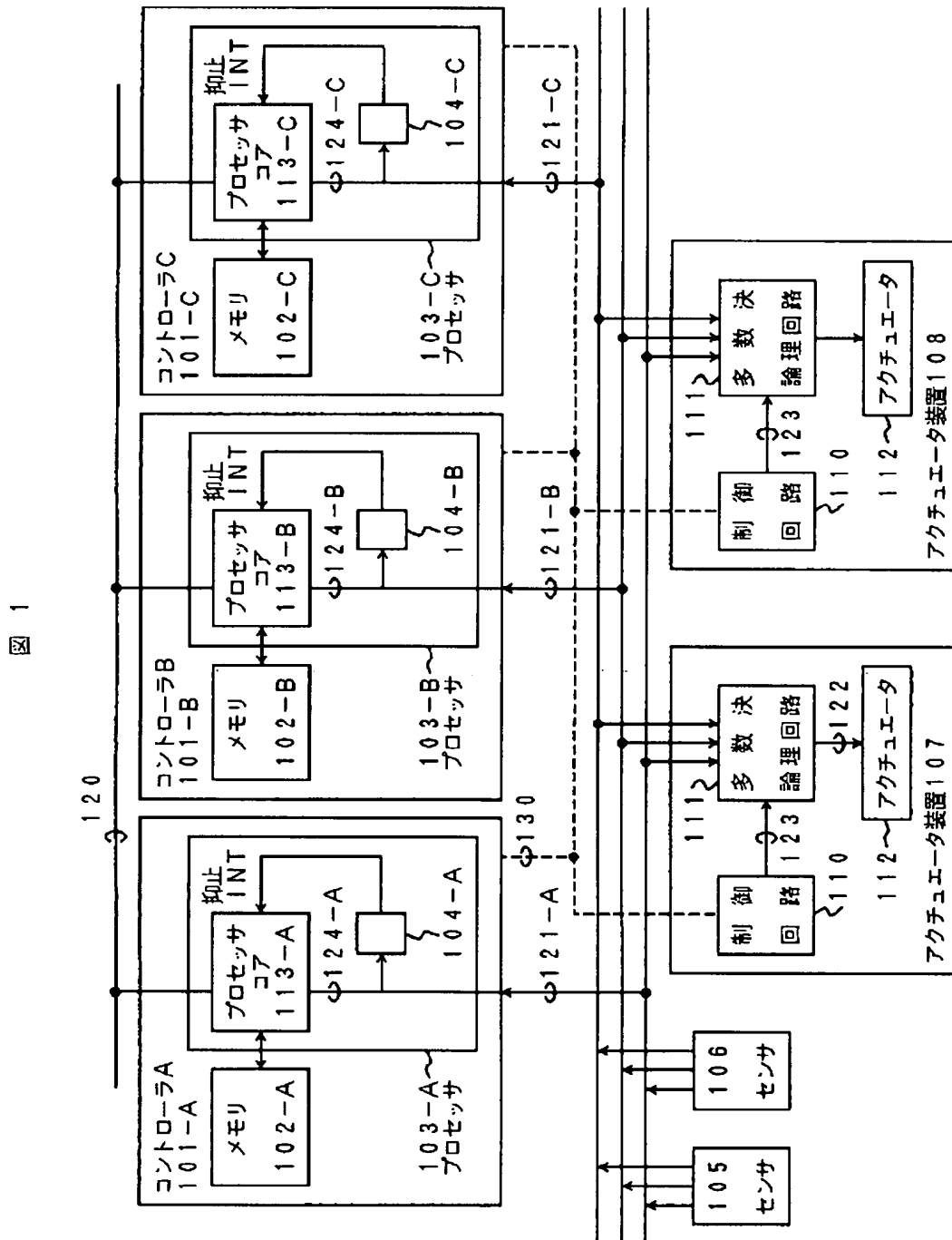
【図6】

図 6

A B 間	B C 間	C A 間	状態
0	0	0	異常
0	0	1	B系障害
0	1	0	A系障害
0	1	1	異常
1	0	0	C系障害
1	0	1	異常
1	1	0	異常
1	1	1	全一致

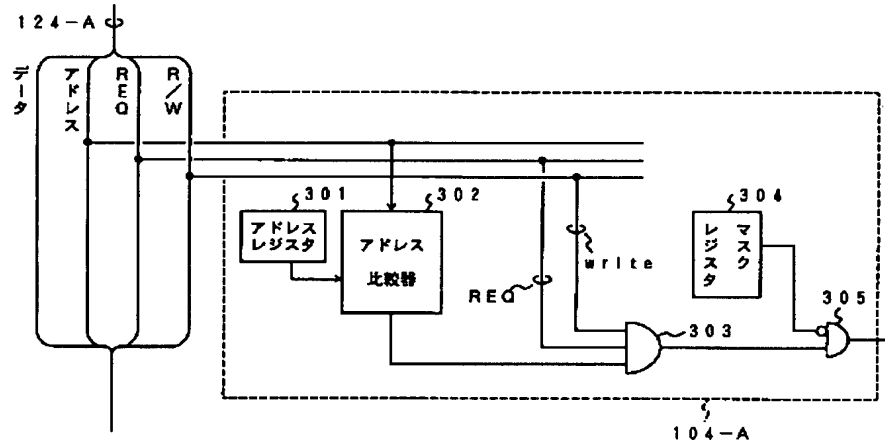
1 : 一致 0 : 不一致

【図 1】



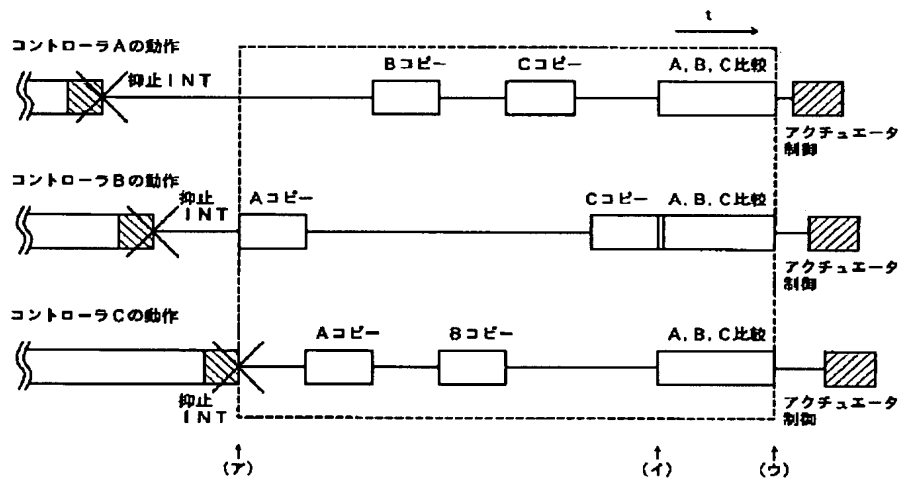
【図3】

図 3



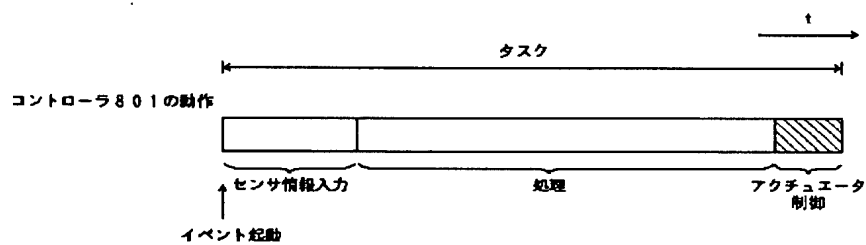
【図4】

図 4



【図9】

図 9



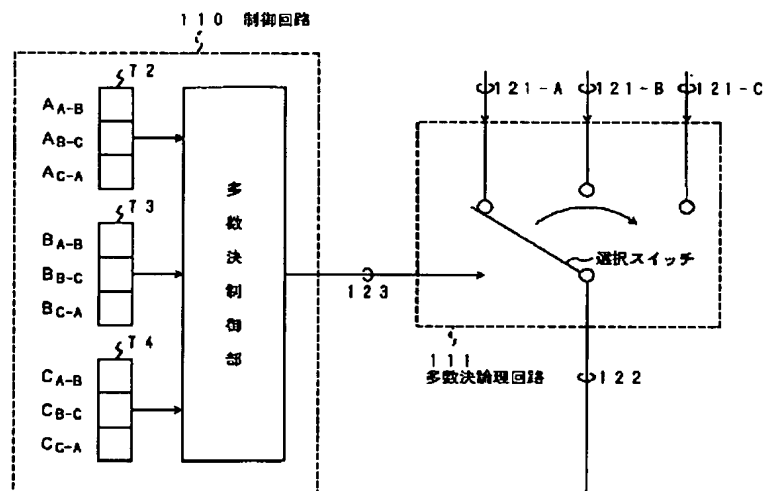
【図5】

図 5

	A	B	C
時間 (ア)	メモリ102-Aの内容 <div style="border: 1px solid black; padding: 5px; text-align: center;">A</div>	メモリ102-Bの内容 <div style="border: 1px solid black; padding: 5px; text-align: center;">B</div>	メモリ102-Cの内容 <div style="border: 1px solid black; padding: 5px; text-align: center;">C</div>
時間 (イ)	<div style="border: 1px solid black; padding: 5px;"> <div style="border: 1px solid black; padding: 2px; text-align: center;">A</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">Bのコピー</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">Cのコピー</div> </div>	<div style="border: 1px solid black; padding: 5px;"> <div style="border: 1px solid black; padding: 2px; text-align: center;">Aのコピー</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">B</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">Cのコピー</div> </div>	<div style="border: 1px solid black; padding: 5px;"> <div style="border: 1px solid black; padding: 2px; text-align: center;">Aのコピー</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">Bのコピー</div> <div style="border: 1px solid black; padding: 2px; text-align: center;">C</div> </div>

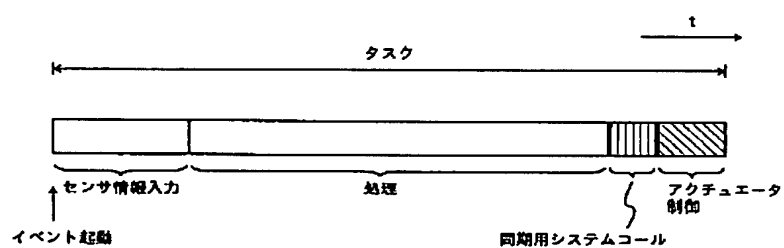
【図7】

図 7



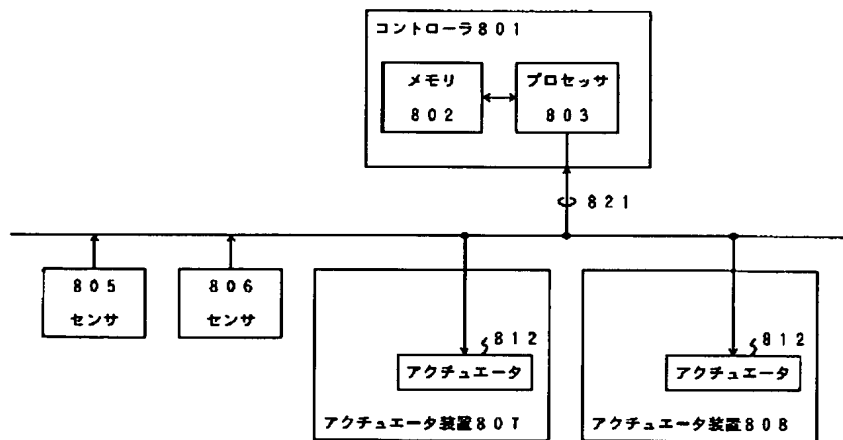
【図11】

図 11



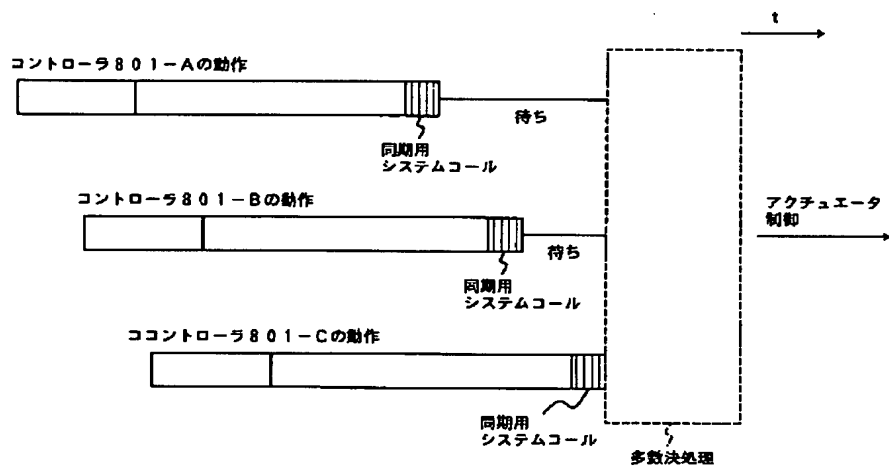
【図8】

図 8



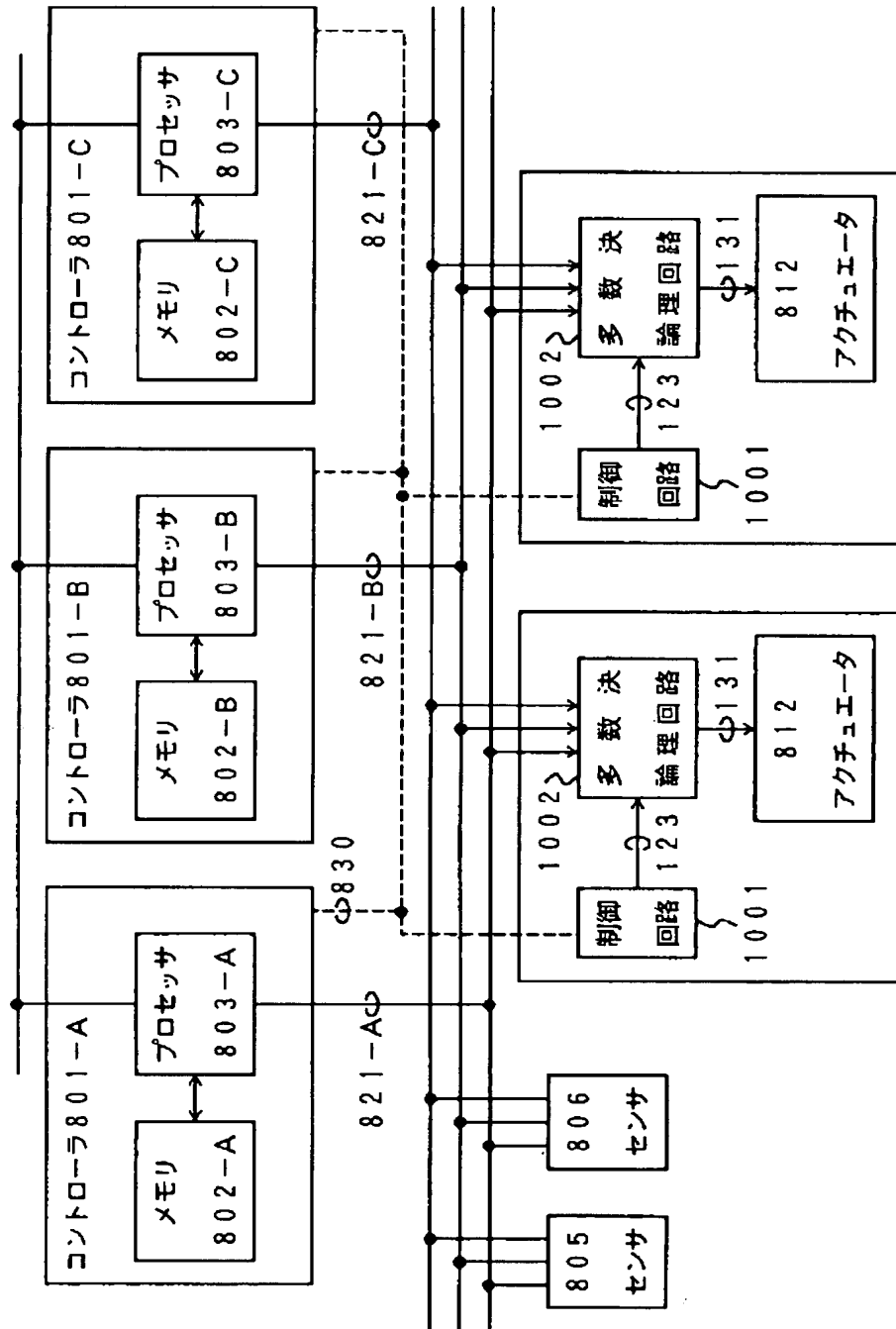
【図12】

図 12



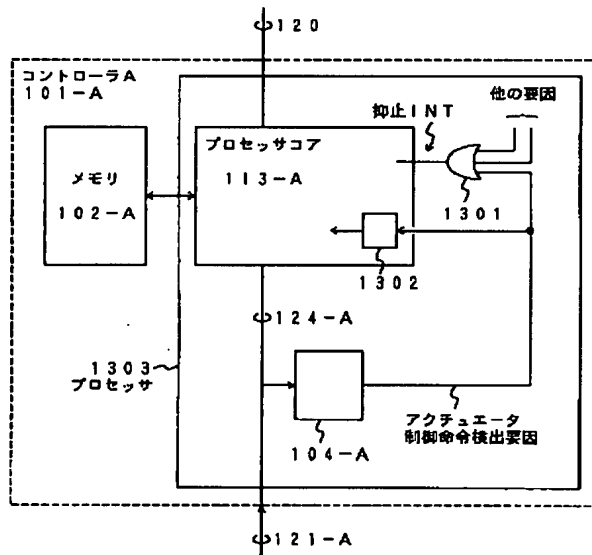
【図10】

図10



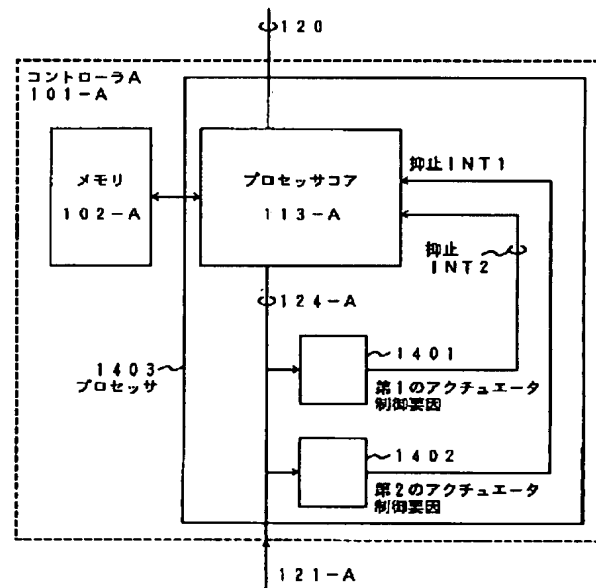
【図13】

図13



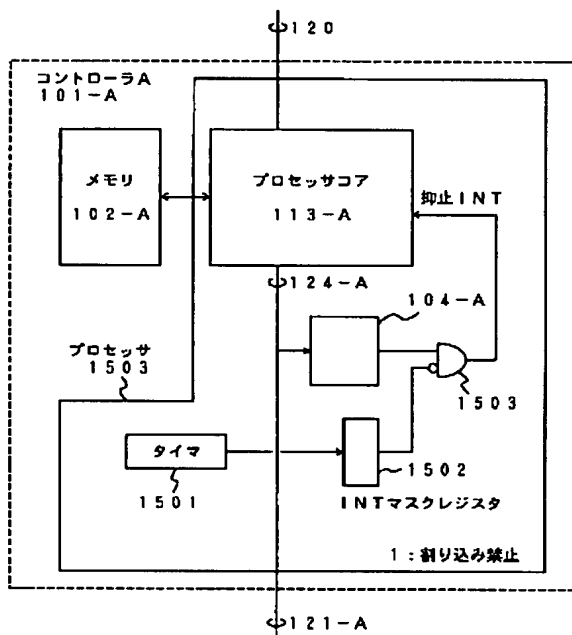
【図14】

図14



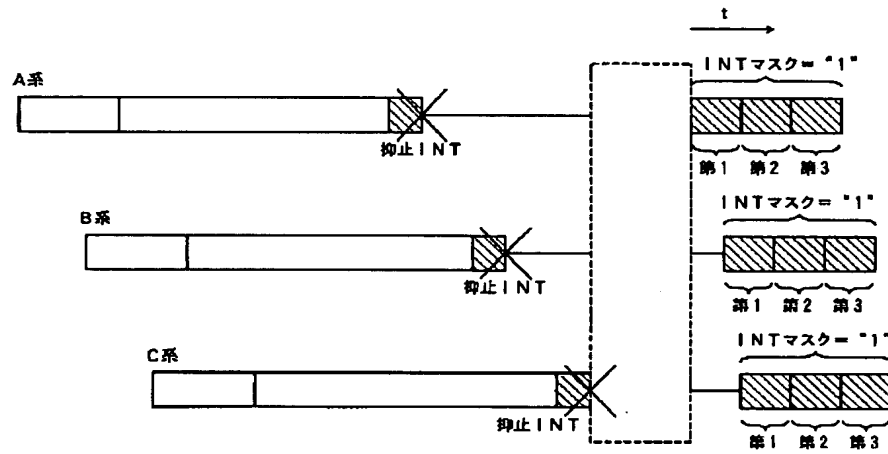
【図15】

図15



【図16】

図16



フロントページの続き

(72)発明者 堀田 多加志
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内